

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月10日

出 願 番 号

Application Number:

特願2002-264627

[ST.10/C]:

[JP 2002-264627]

出 願 人

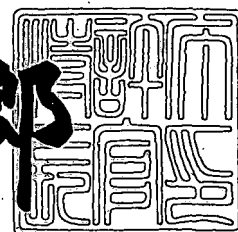
Applicant(s):

松下電器産業株式会社

2003年 2月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3011926

【書類名】 特許願

【整理番号】 R6879

【提出日】 平成14年 9月10日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 17/50
H01L 21/82

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 岩西 信房

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 石橋 典子

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 佐藤 和弘

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 110000040

【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

【代表者】 池内 寛幸

【電話番号】 06-6135-6051

【手数料の表示】

【予納台帳番号】 139757

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0108331

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路の設計方法

【特許請求の範囲】

【請求項1】 基本素子と、前記基本素子の間を接続する配線とから構成される半導体集積回路の設計方法であって、

前記基本素子と前記配線の遅延時間を足し合わせて、フリップフロップ間のタイミングを検証する第一のタイミング検証手順と、

前記第一のタイミング検証手順により出力されたタイミングレポートから、パスの始点および終点のフリップフロップと、前記パスを構成するセルの遅延時間およびセットアップ時間と、サイクルタイムに対するスラックとを抽出するスラック分類手順と、

任意のフリップフロップを、電源電圧が電源配線の抵抗成分により電圧降下している状態から理想電源の状態に移移する時間よりも大きい遅延時間を有するフリップフロップに置き換えるフリップフロップ駆動能力変更手順と、

前記置き換えにより変更されたネットリストをレイアウトに反映させるレイアウト修正手順と、

電圧降下を考慮に入れたフリップフロップのみの遅延ライブラリ、および理想電源の状態で作成された遅延ライブラリから遅延計算を行なう遅延計算手順と、

前記遅延計算手順の出力である遅延情報を用いてタイミング検証を行なう第二のタイミング検証手順を備えたことを特徴とする半導体集積回路の設計方法。

【請求項2】 基本素子と、前記基本素子の間を接続する配線とから構成される半導体集積回路の設計方法であって、

前記基本素子と前記配線の遅延時間を足し合わせて、フリップフロップ間のタイミングを検証する第一のタイミング検証手順と、

前記第一のタイミング検証手順により出力されたタイミングレポートから、パスの始点および終点のフリップフロップと、前記パスのサイクルタイムに対するスラックとを抽出するスラック分類手順と、

前記スラックが前記サイクルタイムの $1/2$ よりも大きいパスの終端における、クロック信号の立ち上がりで動作するフリップフロップを、クロック信号の立

ち下がりて動作するフリップフロップに置き換え、電源配線の抵抗成分による電源電圧の電圧降下量を均一化するフリップフロップ正負変更手順と、

前記置き換えにより変更されたネットリストをレイアウトに反映させるレイアウト修正手順と、

前記均一化された電圧降下量に対応した遅延ライブラリから遅延計算を行なう遅延計算手順と、

前記遅延計算手順の出力である遅延情報を用いてタイミング検証を行なう第二のタイミング検証手順を備えたことを特徴とする半導体集積回路の設計方法。

【請求項 3】 基本素子と、前記基本素子の間を接続する配線とから構成される半導体集積回路の設計方法であって、

前記基本素子と前記配線の遅延時間を足し合わせて、フリップフロップ間のタイミングを検証する第一のタイミング検証手順と、

前記第一のタイミング検証手順により抽出されたタイミングレポートから、パスの始点および終点のフリップフロップと、前記パスのサイクルタイムに対するスラックとを抽出するスラック分類手順と、

前記スラックがゼロに近いパスの終端におけるフリップフロップを、前記フリップフロップのセットアップ時間と遅延時間と前記スラックの合計時間と同じ遅延時間を有するバッファに置き換えるフリップフロップ置き換え手順と、

前記置き換えにより変更されたネットリストをレイアウトに反映させるレイアウト修正手順と、

理想電源の状態で作成された遅延ライブラリから遅延計算を行なう遅延計算手順と、

前記遅延計算手順の出力である遅延情報を用いてタイミング検証を行なう第二のタイミング検証手順を備えたことを特徴とする半導体集積回路の設計方法。【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路の設計方法に関わり、特に、半導体集積回路中の電源配線の抵抗成分に起因する電圧降下（以下、I R ドロップと称する）に対して

タイミングを抑制する技術、I Rドロップの影響を低減する回路設計方法に関する。

【0002】

【従来の技術】

昨今、LSIの大規模化、低電力化が進むにつれて、様々な物理現象が顕著になってきている。そのため、それらの物理現象を設計段階で考慮に入れて設計しておかないと、シミュレーションでは動作しているのに、実際の製品では動作しないという現象が発生する。特に、電源配線の抵抗成分によるI Rドロップという現象は、電源電圧が高かった0.25 μ mルール時代には、ほとんど問題とならなかったが、微細化が進むにつれて、電源電圧が、1.8V、1.5V、1.0Vと下がり、無視できなくなっている。

【0003】

図11Aは、LSIにおけるI Rドロップ量の分布を模式的に示す等電圧図である。図11Aにおいて、電源パッド（不図示）は、LSIの外周部分に配置されるために、LSIの中央部分の領域1101は、電源パッドからの距離が遠くなり、I Rドロップ量が大きくなる。逆に、電源パッドに近い領域1100はI Rドロップ量が少なくなる。

【0004】

また、I Rドロップは、同期設計において、その現れ方が顕著である。というのも、同期設計では、クロック信号に同期して、すべてのフリップフロップが同時に動作するために、これらフリップフロップに電源を供給する電源配線に多くの電流が流れることになり、I Rドロップが発生する。

【0005】

図11Bは、サイクルタイムとI Rドロップ量との関係を示す図である。図11Bに示すように、クロック信号CKの立ち上がり時点で、I Rドロップ量が大きくなり、時間経過と共に理想電源に近づく。

【0006】

次に、I Rドロップが発生した時にどういう影響があるかについて説明する。

【0007】

I Rドロップが発生すると、L S Iを構成するセルへの電源供給量が減るために、セルの動作が遅くなり、タイミングが変動する。しかし、現在のタイミング設計では、電源は理想電源、つまりI Rドロップが発生しないという前提でタイミング設計している。このため、このI Rドロップによるタイミング変動が生じると、検証段階ではタイミングに問題なかったL S Iが、実際の製品になるとタイミングエラーが発生するという事態が発生する。

【0008】

そこで、従来では、I Rドロップを起こさない電源設計をするという取り組みが行なわれていた。具体的には、図12Aに示すように、電源パッド1200の数を多くして、電源配線の数も多くしたり、図12Bに示すように、メッシュ配線にすることで、L S I中央部への電源供給量を増やし、I Rドロップを回避しようという試みである。

【0009】

また他の方法として、I Rドロップは当然起こるものとして、I Rドロップによるタイミング変動を予め、そのタイミングを計算する時に用いる遅延ライブラリに取り込み、設計時に、その遅延ライブラリを用いて、タイミング設計をするという方法があった。この考え方には二種類のアプローチがあった。

【0010】

一つは、レイアウトをした後、I Rドロップを解析し、そのI Rドロップ量に従い、遅延計算を行なって、タイミング検証するという方法である。図13は、この設計方法のフローチャートである。

【0011】

レイアウト手順S1300において、I Rドロップは考慮せずにレイアウトを行ない、レイアウト1300を出力する。次に、I Rドロップ解析手順S1301において、レイアウト1300から、L S Iを構成するすべてのセルについて、I Rドロップ量1301を計算する。次に、遅延計算手順S1302において、様々な電源電圧でキャラクタライズされたI Rドロップ考慮遅延ライブラリ1302と各セル毎のI Rドロップ量1301を使って、遅延計算を行なう。ここで、I Rドロップ考慮遅延ライブラリ1302の作成時には、どれだけのI Rド

ロップが起こるかわからないので、何種類もの電源電圧で遅延をキャラクタライズしておく必要がある。次に、タイミング検証手順S1303では、IRドロップ考慮遅延情報1303を使ってタイミング検証を行ない、タイミングが間に合っているかを判定する。

【0012】

また、別な方法としては、予め、LSIのIRドロップ量を決めておき、そのIRドロップ量になるようにレイアウトを行ない、遅延計算、タイミング検証を行なうという方法がある。これは、例えば、50mVのIRドロップが起こると予め決めておいて、そうなるようにレイアウトを行なう方法である。図14は、この設計方法のフローチャートである。

【0013】

IRドロップ考慮レイアウト手順S1401において、予め定められたIRドロップ量になるようにIRドロップ考慮レイアウト1400を生成する。次に、遅延計算手順S1401において、予め定められたIRドロップ量でキャラクタライズされたIRドロップ考慮遅延ライブラリ1401とIRドロップ考慮レイアウト1400から、遅延計算を行ない、IRドロップ考慮遅延情報1303を出力し、タイミング検証手順S1303でタイミング検証を行う。

【0014】

【発明が解決しようとする課題】

前述した従来の設計方法には、以下の問題点がある。

【0015】

まず、IRドロップ量を押さえるように電源配線や電源パッドの数を増やす電源配線設計では、電源配線の数多くする必要があり、素子配置に必要な有効面積が少なくなるという問題や、電源パッドの数が増えることによって、電源以外に使えるパッドの数が少なくなるという問題がある。

【0016】

また、IRドロップを解析して、各セル毎に、そのIRドロップ量での遅延計算をする図13の設計方法では、IRドロップ考慮遅延ライブラリ1302の生成時に、すべてのセルに対し、考えうる様々な電源電圧でのキャラクタライズが

必要となり、遅延ライブラリの生成時間が膨大になるという問題がある。

【0017】

また、予めIRドロップ量を定めておいて、レイアウトを生成する図14の設計方法では、すべてのセルが同一のIRドロップ量に操作するのが難しいという問題があった。

【0018】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、素子配置に必要な有効面積や電源パッド以外に使用できるパッド数を減らすこと無く、また処理時間を増大させること無く、IRドロップがタイミングに与える影響またはIRドロップ量自体を低減し、実動作に近いタイミングシミュレーションを可能にした半導体集積回路の設計方法を提供することにある。

【0019】

【課題を解決するための手段】

前記の目的を達成するため、本発明に係る第1の半導体集積回路の設計方法は、基本素子と、基本素子の間を接続する配線とから構成される半導体集積回路の設計方法であって、基本素子と配線の遅延時間を足し合わせて、フリップフロップ間のタイミングを検証する第一のタイミング検証手順と、第一のタイミング検証手順により出力されたタイミングレポートから、パスの始点および終点のフリップフロップと、パスを構成するセルの遅延時間およびセットアップ時間と、サイクルタイムに対するスラックとを抽出するスラック分類手順と、任意のフリップフロップを、電源電圧が電源配線の抵抗成分により電圧降下している状態から理想電源の状態に遷移する時間よりも大きい遅延時間を有するフリップフロップに置き換えるフリップフロップ駆動能力変更手順と、置き換えにより変更されたネットリストをレイアウトに反映させるレイアウト修正手順と、電圧降下を考慮に入れたフリップフロップのみの遅延ライブラリ、および理想電源の状態で作成された遅延ライブラリから遅延計算を行なう遅延計算手順と、遅延計算手順の出力である遅延情報を用いてタイミング検証を行なう第二のタイミング検証手順を備えたことを特徴とする。

【0020】

前記の目的を達成するため、本発明に係る第2の半導体集積回路の設計方法は、基本素子と、基本素子の間を接続する配線とから構成される半導体集積回路の設計方法であって、基本素子と配線の遅延時間を足し合わせて、フリップフロップ間のタイミングを検証する第一のタイミング検証手順と、第一のタイミング検証手順により出力されたタイミングレポートから、パスの始点および終点のフリップフロップと、パスのサイクルタイムに対するスラックとを抽出するスラック分類手順と、スラックが前記サイクルタイムの $1/2$ よりも大きいパスの終端における、クロック信号の立ち上がりで動作するフリップフロップを、クロック信号の立ち下がりで動作するフリップフロップに置き換え、電源配線の抵抗成分による電源電圧の電圧降下量を均一化するフリップフロップ正負変更手順と、置き換えにより変更されたネットリストをレイアウトに反映させるレイアウト修正手順と、均一化された電圧降下量に対応した遅延ライブラリから遅延計算を行なう遅延計算手順と、遅延計算手順の出力である遅延情報を用いてタイミング検証を行なう第二のタイミング検証手順を備えたことを特徴とする。

【0021】

前記の目的を達成するため、本発明に係る第3の半導体集積回路の設計方法は、基本素子と、基本素子の間を接続する配線とから構成される半導体集積回路の設計方法であって、基本素子と配線の遅延時間を足し合わせて、フリップフロップ間のタイミングを検証する第一のタイミング検証手順と、第一のタイミング検証手順により抽出されたタイミングレポートから、パスの始点および終点のフリップフロップと、パスのサイクルタイムに対するスラックとを抽出するスラック分類手順と、スラックがゼロに近いパスの終端におけるフリップフロップを、フリップフロップのセットアップ時間と遅延時間とスラックの合計時間と同じ遅延時間を有するバッファに置き換えるフリップフロップ置き換え手順と、置き換えにより変更されたネットリストをレイアウトに反映させるレイアウト修正手順と、理想電源の状態で作成された遅延ライブラリから遅延計算を行なう遅延計算手順と、遅延計算手順の出力である遅延情報を用いてタイミング検証を行なう第二のタイミング検証手順を備えたことを特徴とする。

【0022】

【発明の実施の形態】

以下、本発明の実施形態について、図面を参照しながら説明する。

【0023】

(第1の実施形態)

図1は、本発明の第1の実施形態に係る半導体集積回路の設計方法における処理手順を示すフローチャートである。図1において、まず、第一のタイミング検証手順S0100では、ネットリスト、遅延情報、制約を入力として、タイミング検証を行ない、すべてのフリップフロップ間のパスのタイミングレポート0100を出力する。ここで、ネットリストとは、例えばverilogネットリストであり、遅延情報とはSDF (Standard Delay Format) であり、制約とは、クロックの定義や、フォールスパス、マルチサイクルパスの指定などを記載したタイミング制約ファイルである。また、出力されるタイミングレポート0100には、始点のフリップフロップから終点のフリップフロップまでの、各セルの遅延時間、配線遅延時間、スラックが記載されている。このタイミングレポート0100は、市販の静的なタイミング検証ツールであれば、いかなるツールでも、簡単に出力できる情報である。

【0024】

例えば、図2Aに示すように、フリップフロップ (FF) 0200から、配線0205、セル0201、配線0206、セル0202、配線0207、セル0203、配線0208、フリップフロップ (FF) 0204へと接続された回路について説明する。図2Aの各要素に対応する遅延時間が、図2Bに示すように、遅延時間0212、遅延時間0216、遅延時間0213、遅延時間0217、遅延時間0214、遅延時間0218、遅延時間0215、遅延時間0219であった場合には、これらの遅延時間すべてと、フリップフロップ0204のセットアップ時間0220が足し合わされて、フリップフロップ0200からフリップフロップ0204のパスの遅延時間として、タイミングレポート0100 (図1) が生成される。また、サイクルタイム0209に対し、上記パスの遅延時間の余裕度として、スラック0221が計算される。スラックの0221値が、正の値であればタイミングが間に合っている状態を表し、負の値であればタイミ

ングが間に合っていない状態を表す。

【0025】

この場合のサイクルタイム0209に対するIRドロップ量0210は、図2Bのようになる。

【0026】

IRドロップ量0210は、クロック同期のフリップフロップにクロック信号CKが入った瞬間に、すべてのフリップフロップが動作するために、クロック信号CKが入力された時に、最も大きく変動し、時間の経過と共に理想電源に回復する。図2Bの場合、IRドロップが発生し、電源が理想状態になるまでの遷移時間0211中に動作するのは、フリップフロップ0200（遅延時間0212）、配線0205（遅延時間0216）、およびセル0201（遅延時間0213）である。

【0027】

図1に戻って、次に、スラック分類手順S0101では、第一のタイミング検証手順S0100で出力されたタイミングレポート0100から、必要な情報だけを取得し、スラックリスト0101として出力する。図3に、スラックリスト0101の内容例を示す。図3における用語の意味は以下の通りである。

【0028】

- ・ Start Point：始点のフリップフロップ名と端子名
- ・ End Point：終点のフリップフロップ名と端子名
- ・ Through Point：途中点のフリップフロップ名と端子名
- ・ Value：パスのスラック
- ・ Start FF type：始点のフリップフロップの駆動能力
- ・ Start FF delay：始点のフリップフロップの遅延時間
- ・ cellx type：パスを構成するセルの駆動能力（xは各セル毎に付された固有の自然数）
- ・ cellx delay：パスを構成するセルの遅延時間
- ・ wirex delay：パスを構成する配線遅延時間（xは各配線毎につけられた固有の自然数）

・End FF setup: 終点のフリップフロップのセットアップ時間

次に、FF駆動能力変更手順S0102では、パスを駆動するフリップフロップ0200(図2A)を駆動能力の低い(すなわち、遅延時間の大きい)フリップフロップに置き換えて、ネットリストを変更し、ネットリスト修正ファイル0102として出力する。フリップフロップの置き換えの手順において、具体的には、図4に示すように、図2Aに示す遅延時間0212のフリップフロップ0200に対し、遅延時間0212よりも大きい遅延時間0401(図4B)を有するフリップフロップ0400に置き換える。この時、フリップフロップ0400の遅延時間0401と、フリップフロップ0200の遅延時間0212との間に、以下の式(1)で示す関係がある。

【0029】

$$\text{遅延時間}0401 > \text{遅延時間}0212 \quad \dots (1)$$

このフリップフロップの置き換えによって遅延時間が増大した結果、図4Bに示すように、IRドロップが発生している状態(遷移時間0211の間)で、動作するのは、フリップフロップ0400のみとなり、それ以降のセルは理想電源での動作となる。

【0030】

次に、レイアウト修正手順S0103では、ネットリスト修正ファイル0102に従って、レイアウトを修正し、レイアウト0103として出力する。この修正において、駆動能力の低いフリップフロップに変更しているので、フリップフロップ自体の面積は必ず小さくなり、LSI全体での面積の増大はなく、また、配線位置の変更もほとんどなく、修正することが可能である。

【0031】

次に、遅延計算手順S0104では、修正されたレイアウト0103から抵抗、容量成分を抽出した後、IRドロップ考慮遅延ライブラリ0104と理想電源遅延ライブラリ0105を読み込んで、遅延計算を行ない、遅延情報0106を出力する。ここで、IRドロップ考慮遅延ライブラリ0104には、セル種別では、フリップフロップだけが記載されている。また、理想電源遅延ライブラリ0105には、フリップフロップ以外のすべてのセル種別の情報が記載されている

。FF駆動能力変更手順S0102において、IRドロップが起こっている状態では、フリップフロップしか動作しないので、フリップフロップだけIRドロップの影響を考慮した遅延ライブラリを作成すれば良い。逆に、フリップフロップ以外のセルは、すべて理想電源状況下でしか動作しないので、理想電源で作成した遅延ライブラリで良い。

【0032】

最後に、第二のタイミング検証手順S0105において、フリップフロップの置き換えにより、新たなタイミングエラーが発生していないかを確認する。もし、第二のタイミング検証手順S0105で、タイミングエラーが発生した場合は、フリップフロップ以外のセルの遅延時間を調整することにより、タイミング収束を図る。

【0033】

以上、説明したように、フリップフロップの遅延時間を増大させ、IRドロップが発生している時間帯にはフリップフロップだけが動作するようにする。IRドロップが発生している時にフリップフロップ以外のセルが動作するような場合（図2Aおよび図2Bのような場合）には、すべてのセルについて、IRドロップを考慮に入れた遅延ライブラリを作成し、タイミング検証をする必要がある。しかし、本実施形態によれば、フリップフロップだけに限定して、予め、IRドロップを考慮に入れた遅延ライブラリを作成しておけばよくなり、ライブラリ作成時間が削減できる。

【0034】

また、IRドロップ考慮遅延ライブラリ0104を使うことで、フリップフロップの遅延計算精度が向上し、かつ、その他のセルは理想電源遅延ライブラリ0105を用いて高精度に遅延計算をすることができるので、より、実際の製品に近いタイミングシミュレーションを行うことが可能となる。

【0035】

さらに、本実施形態のフリップフロップ置き換えにおいて、フリップフロップの単体の面積は、駆動能力が低いほど面積が小さくなるので、素子配置に必要な有効面積が削減されることはない。また、すべてのフリップフロップの遅延時間

を増大させているために、ホールドエラーが発生しにくくなるという利点もある。

【0036】

(第2の実施形態)

図5は、本発明の第2の実施形態に係る半導体集積回路の設計方法における処理手順を示すフローチャートである。なお、図5において、図1に示す第1の実施形態の構成と同じ部分については同一の符号を付す。

【0037】

本実施形態が第1の実施形態と異なるのは、スラック分類手順S0101、FF駆動能力変更手順S0102、スラックリスト0101、ネットリスト修正ファイル0102、およびIRドロップ考慮遅延ライブラリ0104を、それぞれ、スラック分類手順S0500、クロック信号の立ち上がりで動作するフリップフロップを、その立ち下がりで動作するフリップフロップに変更するFF正負変更手順S0501、スラックリスト0500、ネットリスト修正ファイル0501、およびIRドロップ考慮遅延ライブラリS0502に置き換えた点と、理想電源遅延ライブラリ0105を削除した点にある。

【0038】

図5において、スラック分類手順S0500において、第一のタイミング検証手順S0100で生成されたタイミングレポート0100から、情報を抽出し、スラックリスト0500として出力する。ここで、図6Cに、スラックリスト0500の内容例を示す。図6Cにおける用語の意味は以下の通りである。

【0039】

- ・ Start Point : パスの始点となるフリップフロップとその端子名
- ・ End Point : パスの終点となるフリップフロップとその端子名
- ・ Through Point : パスを一意に特定するための経路途中のセル名とその端子名
- ・ Value : パスのスラック

図6Aに示すように、フリップフロップ0600からフリップフロップ0601へのパスと、フリップフロップ0601からフリップフロップ0602のパス

がある場合について説明する。図6Aにおいて、フリップフロップ0600、0601、0602はすべて、クロック信号(CK)0603(図6B)の立ち上がりで動作するフリップフロップであり、以降、正フリップフロップ(FF(posedge))と呼ぶ。このような構成の場合、クロック信号CKに対するIRドロップ量は、図6Bのようになる。すべて、正フリップフロップで構成される回路の場合、クロック信号CKの立ち上がり時に、すべてのフリップフロップが動作することにより、IRドロップ量が最大となる。

【0040】

次に、FF正負変更手順S0501において、スラックリスト0500より、スラックが、クロックサイクルの1/2よりも大きいパスを抽出し、そのパスの終点にあるフリップフロップを、図7Aに示すように、クロック信号CKの立ち下がりで動作するフリップフロップ0700(以降、このような動作をするフリップフロップを負フリップフロップ(FF(negedge))と呼ぶ)に置き換え、ネットリスト修正ファイル0501として出力する。すべてのパスに対し、FF正負変更手順S0501を実行し、正フリップフロップから、負フリップフロップに置き換えられるものはすべて置き換える。ただし、正フリップフロップと、負フリップフロップの数が同数になった時点で、置き換え処理は停止する。

【0041】

次に、レイアウト修正手順S0103では、ネットリスト修正ファイル0501に従って、レイアウトを修正し、レイアウト0103として出力する。

【0042】

次に、遅延計算手順S0104では、修正されたレイアウトから抵抗、容量成分を抽出した後、IRドロップ考慮遅延ライブラリ0501を読み込んで、遅延計算を行ない、遅延情報0106を出力する。IRドロップ考慮遅延ライブラリ0501には、フリップフロップを含むすべてのセルの遅延計算に必要な情報が記載されている。FF正負変更手順S0501において、クロック信号CKの立ち上がりで動作するフリップフロップが、その立ち下がりで動作するフリップフロップに置き換えられたことにより、図7Bに示すように、IRドロップ量0701がクロック信号CKに対して均一化される(比較のため、置き換え前のIR

ドロップ量0604を破線で示す)。この場合、フリップフロップを含むすべてのセルが、同程度のIRドロップ量が発生している状態で動作することになる。よって、予め、すべてのセルに対し、同一のIRドロップ量が発生したという仮定で作成したものが、IRドロップ考慮遅延ライブラリ0501である。

【0043】

最後に、第二のタイミング検証手順S0105において、フリップフロップの置き換えにより、新たなタイミングエラーが発生していないかを確認する。この時、フリップフロップ0600からフリップフロップ0700へのパスは、サイクルタイムの半分でタイミングチェックが実行され、フリップフロップ0700からフリップフロップ0602へのパスは、サイクルタイムの1.5倍でタイミングチェックが実施される。具体的な数字を挙げて説明すると、サイクルタイムが10nsであった場合、前者のパスは5nsでチェックされ、後者のパスは15nsでチェックされる。二つのパスを合計すると、フリップフロップの置き換え前後で変化せず、20nsとなる。

【0044】

以上のように、本実施形態によれば、正フリップフロップを負フリップフロップに変更することで、図7Bに示したように、クロック信号の立ち下がり時にも、IRドロップが発生し、正フリップフロップと負フリップフロップの数を同数に近付けることで、クロック信号の立ち上がりから立ち下がりまで、IRドロップ量の時間変化が少なくなる。この結果、タイミング検証用の遅延時間を計算する際に用いる遅延ライブラリの生成時に、すべてのセルに対して、ある一定のIRドロップ量を考慮しておけば、精度良く遅延計算することが可能となり、より実動作に近い動作をシミュレーションできる。

【0045】

また、図6Bに示すようなIRドロップ量がある場合には、それぞれのセル毎にIRドロップ量が異なるので、すべてのセル毎に異なるIRドロップ量を計算し、それを使って遅延計算を行なう必要があったが、本実施形態によれば、IRドロップ量の時間変化が少なくなるので、任意の一つのセルを選びだしIRドロップ量を計算するだけで、そのIRドロップ量をすべてのセルに適用することが

できるので、処理時間の削減につながる。

【0046】

(第3の実施形態)

図8は、本発明の第3の実施形態に係る半導体集積回路の設計方法における処理手順を示すフローチャートである。なお、図8において、図1に示す第1の実施形態の構成と同じ部分については同一の符号を付す。

【0047】

本実施形態が第1の実施形態と異なるのは、スラック分類手順S0101、FF駆動能力変更手順S0102、スラックリスト0101、およびネットリスト修正ファイル0102、それぞれ、スラック分類手順S0800、フリップフロップをバッファに置き換えるFF置き換え手順S0801、スラックリスト0800、ネットリスト修正ファイル0801、およびIRドロップ考慮遅延ライブラリS0502に置き換えた点と、IRドロップ考慮遅延ライブラリ0104および理想電源遅延ライブラリ0105を削除して、フリップフロップをバッファに置き換えたことによる追加タイミング制約0802を追加した点にある。

【0048】

図8において、スラック分類手順S0800において、第一のタイミング検証手順S0100で生成されたタイミングレポート0100から、情報を抽出し、スラックリスト0800として出力する。ここで、図9Cに、スラックリスト0800の内容例を示す。図9Cにおける用語の意味は以下の通りである。

【0049】

- ・ Start Point : パスの始点となるフリップフロップとその端子名
- ・ End Point : パスの終点となるフリップフロップとその端子名
- ・ Through Point : パスを一意に特定するための経路途中のセル名とその端子名
- ・ Value : パスのスラック

図9Aに示すように、フリップフロップ0900からフリップフロップ0901へのパスと、フリップフロップ0901からフリップフロップ0902へのパスがある場合について説明する。フリップフロップ0900、0901、090

2はすべて、クロック信号(CK)0903(図9B)の立ち上がりで動作するフリップフロップであるために、図9Bに示すように、クロック信号CKの立ち上がり時に、IRドロップ量904が最大となる。

【0050】

次に、FF置き換え手順S801において、スラックリスト0800より、スラックがゼロに近い順番にパスを抽出し、そのパスの終点にあるフリップフロップ0901を、図10Aに示すバッファ1000に置き換える。その時、バッファ1000の遅延時間は、以下の式(2)で計算されるものとする。

【0051】

バッファ1000の遅延時間

= (フリップフロップ0901のセットアップ時間)

+ (スラック) + (フリップフロップ0901の遅延時間) ... (2)

スラックがゼロに近いものから順番に置き換えを行っていくが、スラックが大きくなると、式(2)から、バッファ1000の遅延時間が大きくなっていくので、すべてのフリップフロップを置き換えることは不可能である。よって、予め置き換えるバッファ1000の遅延時間の最大値を計測しておき、式(2)を満たすことができるスラックまで置き換えるようにする。

【0052】

FF置き換え手順S801において、フリップフロップがなくなったために、通常のタイミング検証ができなくなる。よって、フリップフロップ0900からフリップフロップ0902へのパスに対し、クロック信号CKの2サイクル以内に、フリップフロップ0900からフリップフロップ0902にデータが伝播するかをチェックするタイミング制約を追加し、追加タイミング制約0802として出力する。

【0053】

次に、レイアウト修正手順S0103では、ネットリスト修正ファイル0801に従って、レイアウトを修正し、レイアウト0103として出力する。

【0054】

次に、遅延計算手順S0104では、修正されたレイアウトから抵抗、容量成

分を抽出した後、遅延計算を行ない、遅延情報0106を出力する。

【0055】

最後に、第二のタイミング検証手順S0105において、フリップフロップの置き換えにより、新たなタイミングエラーが発生していないかを確認する。

【0056】

以上のように、本実施形態によれば、スラックがゼロに近いフリップフロップから順番に、バッファに置き換えることにより、クロック信号に同期して動作するフリップフロップの数が少なくなり、IRドロップ量が低減する。IRドロップ量が低減すると、理想電源遅延ライブラリを使った遅延計算結果でも、実動作との誤差が少なくなり、より実動作をシミュレーションできるようになる。

【0057】

また、フリップフロップが削減されたことにより、そのフリップフロップに接続されていたクロック配線がなくなり、面積を削減することができる。さらに、フリップフロップよりもバッファの単体の面積のほうが、その構成上トランジスタ数が少ないために、小さくなり、回路全体の面積削減が可能となる。

【0058】

【発明の効果】

以上説明したように、本発明によれば、素子配置に必要な有効面積や電源パッド以外に使用できるパッド数を減らすこと無く、また処理時間を増大させること無く、IRドロップがタイミングに与える影響またはIRドロップ量自体を低減し、実動作に近いタイミングシミュレーションを可能にし、IRドロップに対して強い耐性を有する半導体集積回路の設計方法を提供することが可能になる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係る半導体集積回路の設計方法における処理手順を示すフローチャート

【図2A】 図1に示すFF駆動能力変更手順S0102を実行する前の回路構成を示す回路図

【図2B】 図2Aに示す回路構成における、サイクルタイムに対するIRドロップ量および各要素のパス遅延時間を示す図

【図 3】 図 1 に示すスラックリスト 0101 の内容例を示す図

【図 4 A】 図 1 に示す FF 駆動能力変更手順 S0102 を実行した後の回路構成を示す回路図

【図 4 B】 図 4 A に示す回路構成における、サイクルタイムに対する IR ドロップ量および各要素のパス遅延時間を示す図

【図 5】 本発明の第 2 の実施形態に係る半導体集積回路の設計方法における処理手順を示すフローチャート

【図 6 A】 図 5 に示す FF 正負変更手順 S0501 を実行する前の回路構成を示す回路図

【図 6 B】 図 6 A に示す回路構成における、クロック信号 CK に対する IR ドロップ量を示す図

【図 6 C】 図 5 に示すスラックリスト 0500 の内容例を示す図

【図 7 A】 図 5 に示す FF 正負変更手順 S0501 を実行した後の回路構成を示す回路図

【図 7 B】 図 7 A に示す回路構成における、クロック信号 CK に対する IR ドロップ量を示す図

【図 8】 本発明の第 3 の実施形態に係る半導体集積回路の設計方法における処理手順を示すフローチャート

【図 9 A】 図 8 に示す FF 置き換え手順 S0801 を実行する前の回路構成を示す回路図

【図 9 B】 図 9 A に示す回路構成における、クロック信号 CK に対する IR ドロップ量を示す図

【図 9 C】 図 8 に示すスラックリスト 0800 の内容例を示す図

【図 10 A】 図 8 に示す FF 置き換え手順 S0801 を実行した後の回路構成を示す回路図

【図 10 B】 図 10 A に示す回路構成における、クロック信号 CK に対する IR ドロップ量を示す図

【図 11 A】 従来例における IR ドロップ量の分布を模式的に示す等電圧図

【図 11 B】 従来例におけるクロック信号 CK に対する IR ドロップ量を示

す図

【図12A】 従来の電源配線方法の一例を示す平面図

【図12B】 従来の電源配線方法の他の例を示す平面図

【図13】 従来のIRドロップを考慮した設計方法における処理手順を示すフローチャート

【図14】 従来のIRドロップを考慮した他の設計方法における処理手順を示すフローチャート

【符号の説明】

S0100 第一のタイミング検証手順

S0101、S0500、S0800 スラック分類手順

S0102 FF駆動能力変更手順

S0103 レイアウト修正手順

S0104 遅延計算手順

S0105 第二のタイミング検証手順

S0501 FF正負変更手順

S0801 FF置き換え手順

0100 タイミングレポート

0101、0500、0800 スラックリスト

0102、0501、0801 ネットリスト修正ファイル

0103 レイアウト

0104、0501 IRドロップ考慮遅延ライブラリ

0105 理想電源遅延ライブラリ

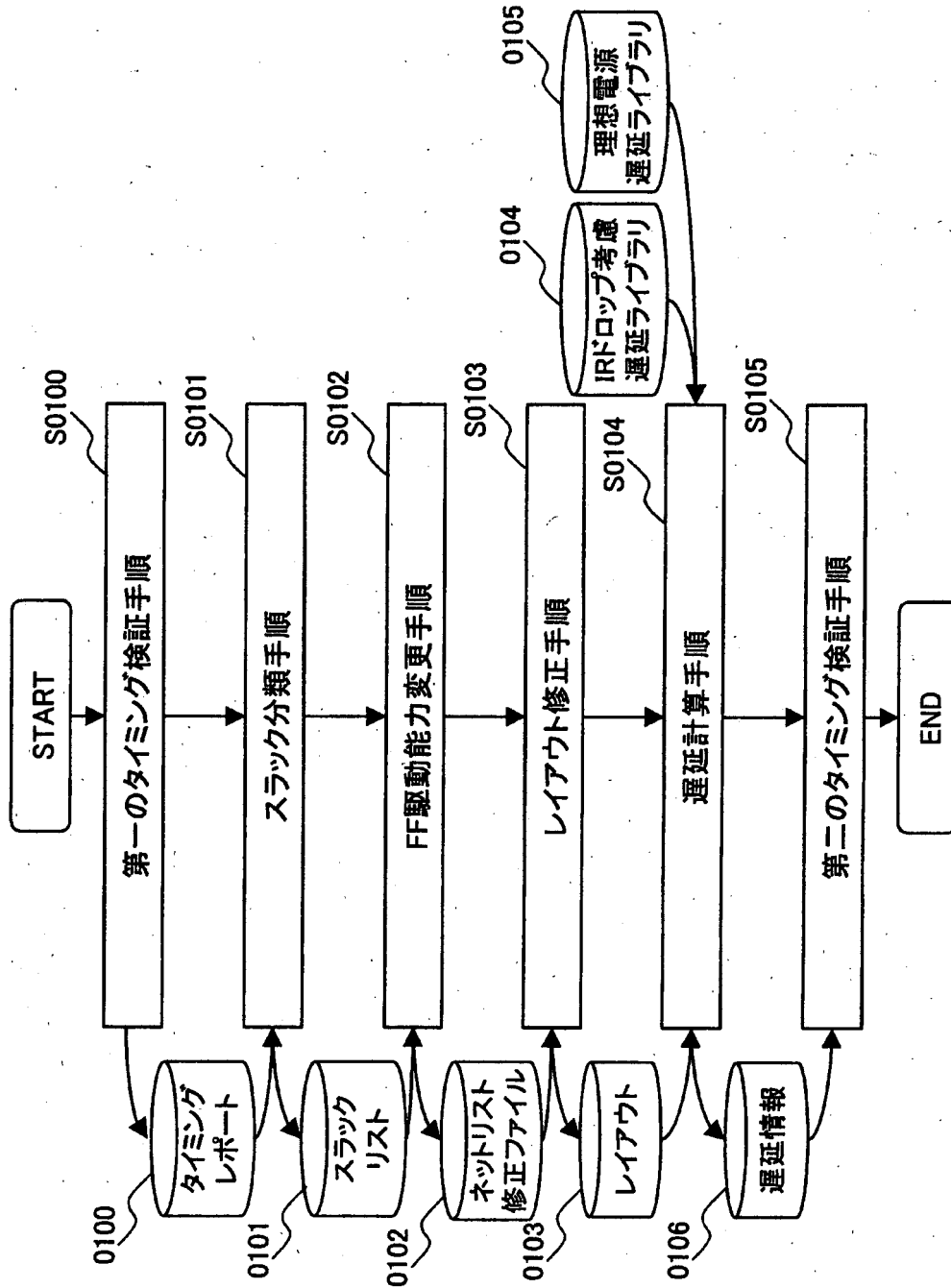
0106 遅延情報

0802 追加タイミング制約

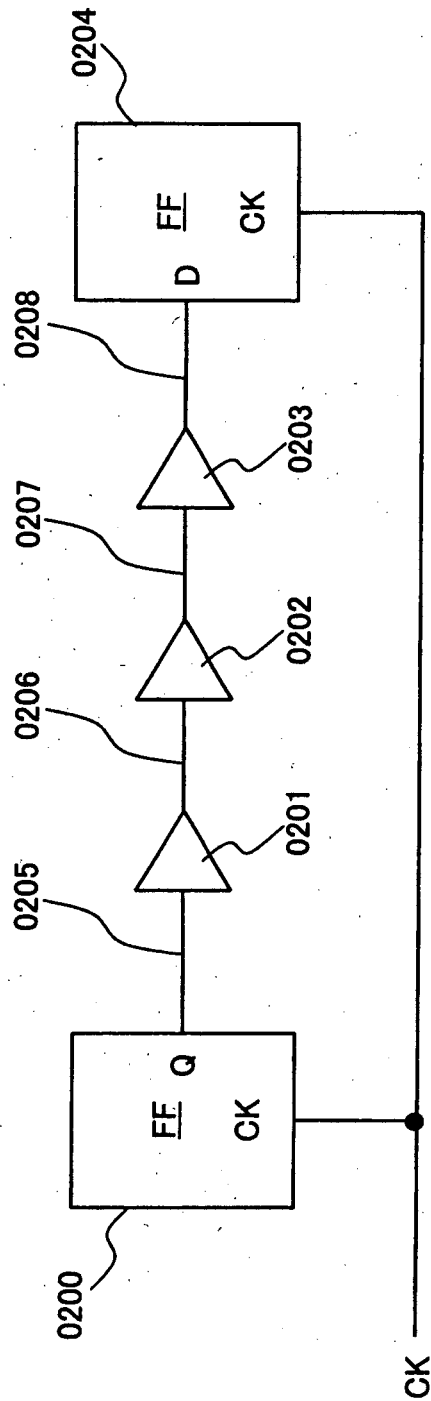
【書類名】

図面

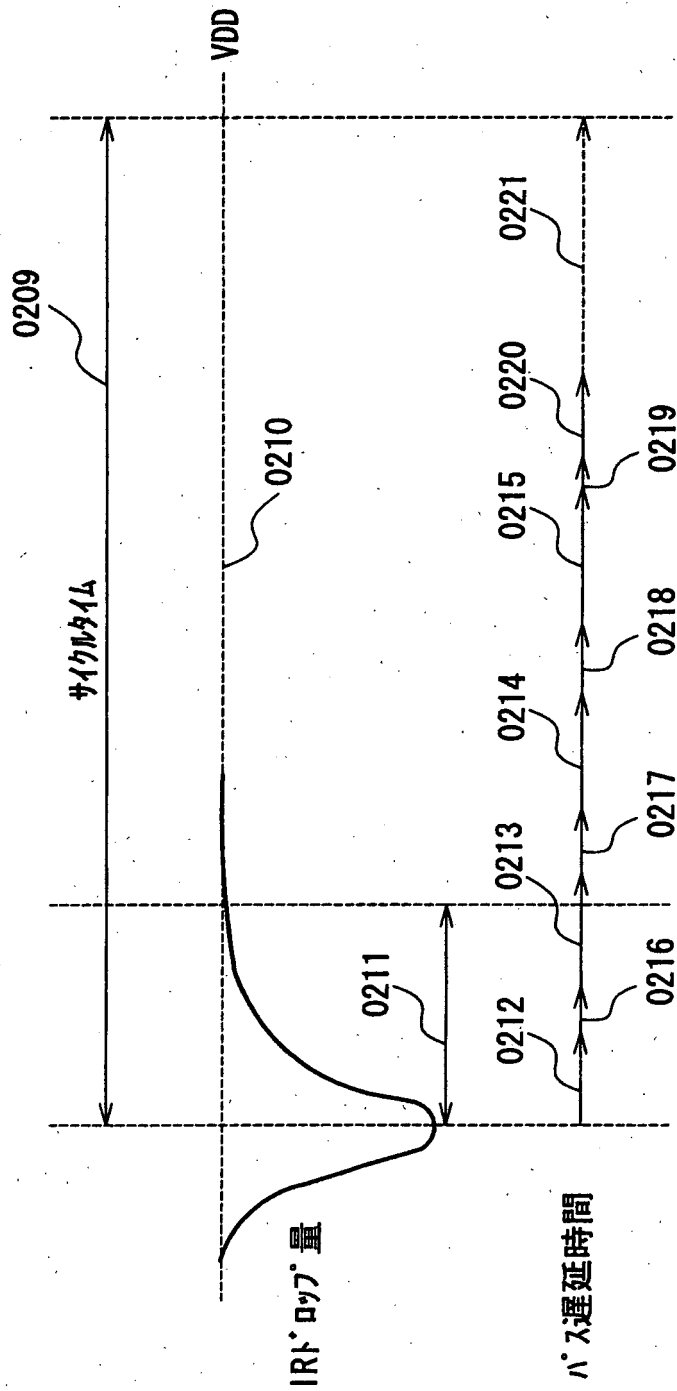
【図 1】



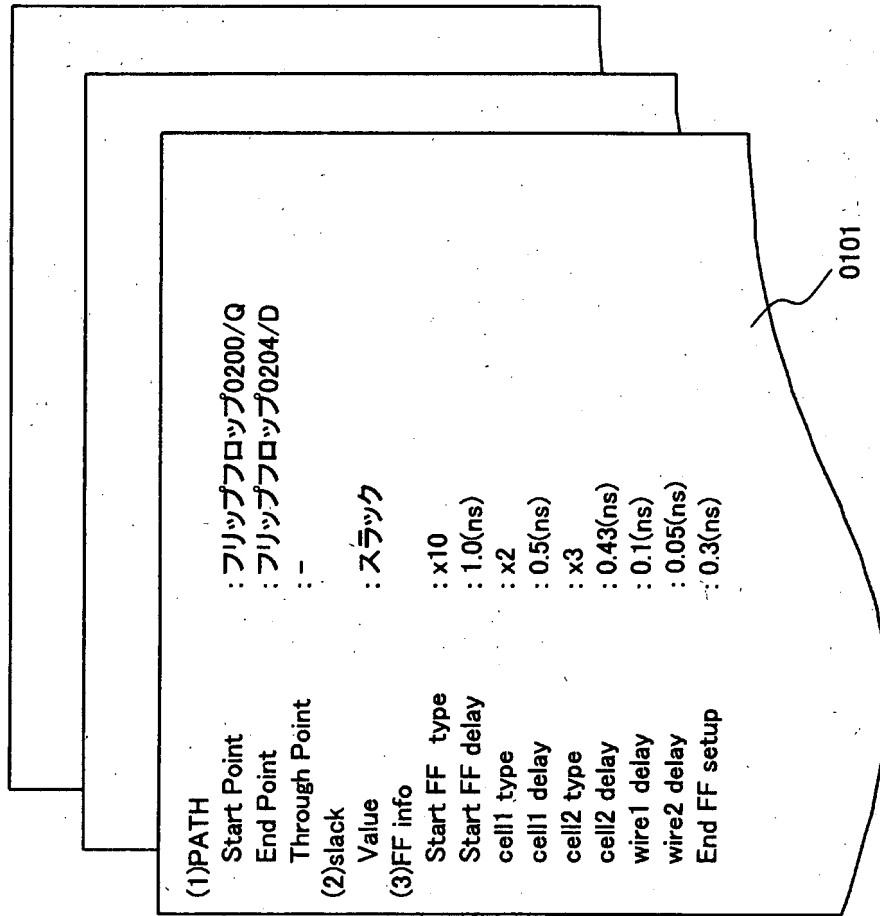
【図 2 A】



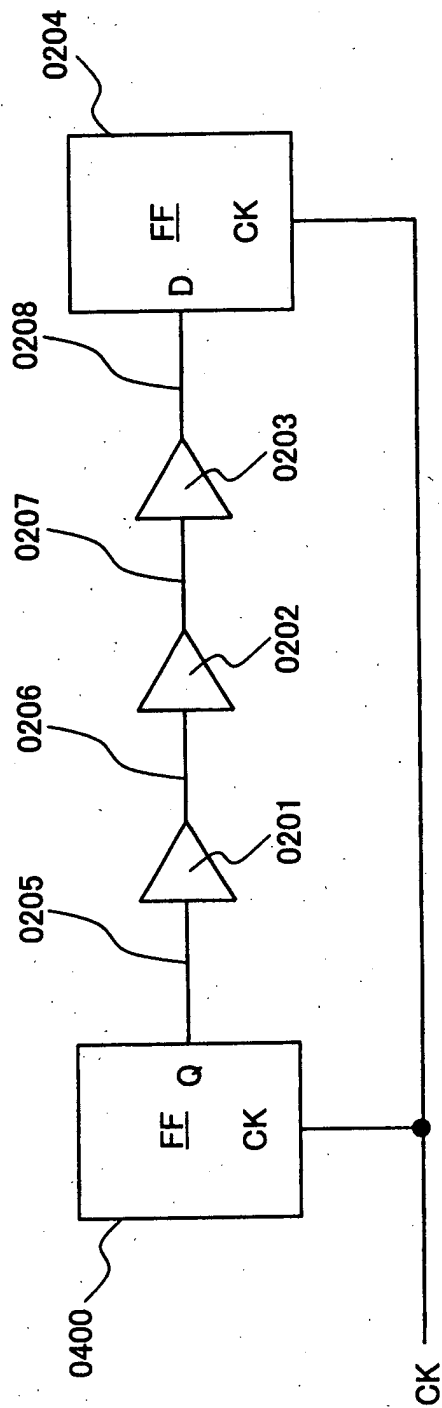
【図 2 B】



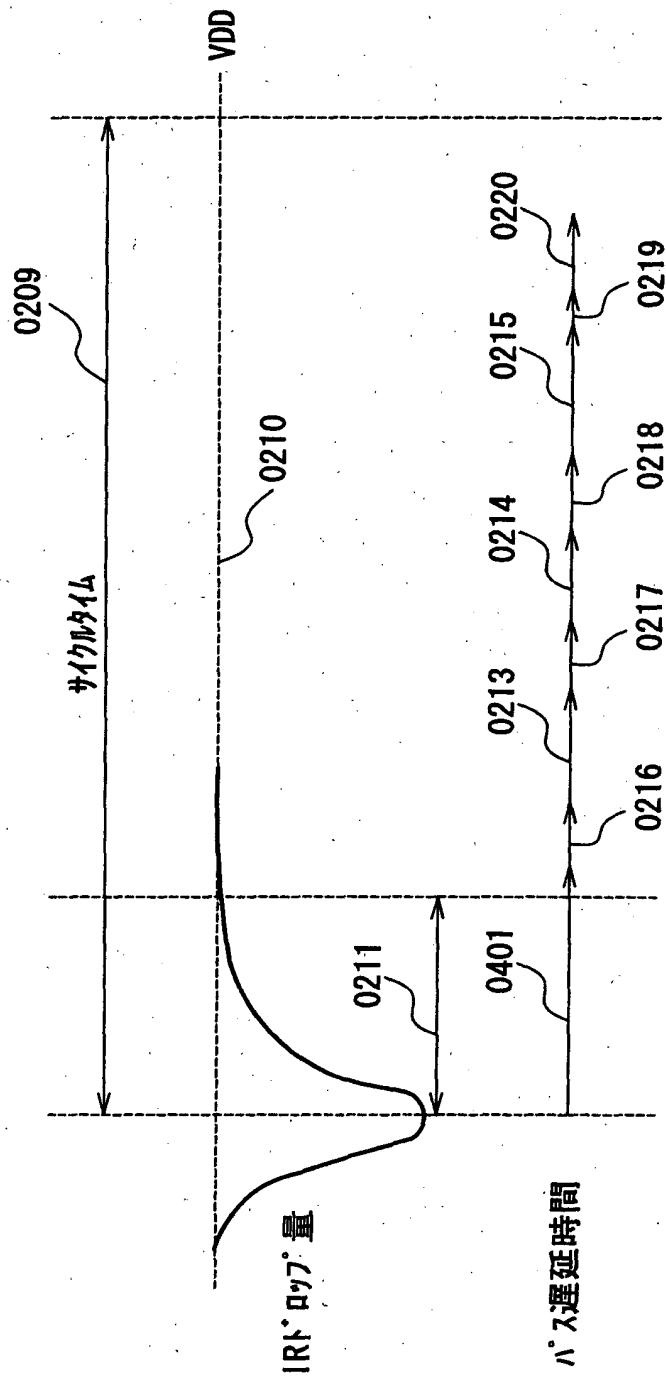
【図 3】



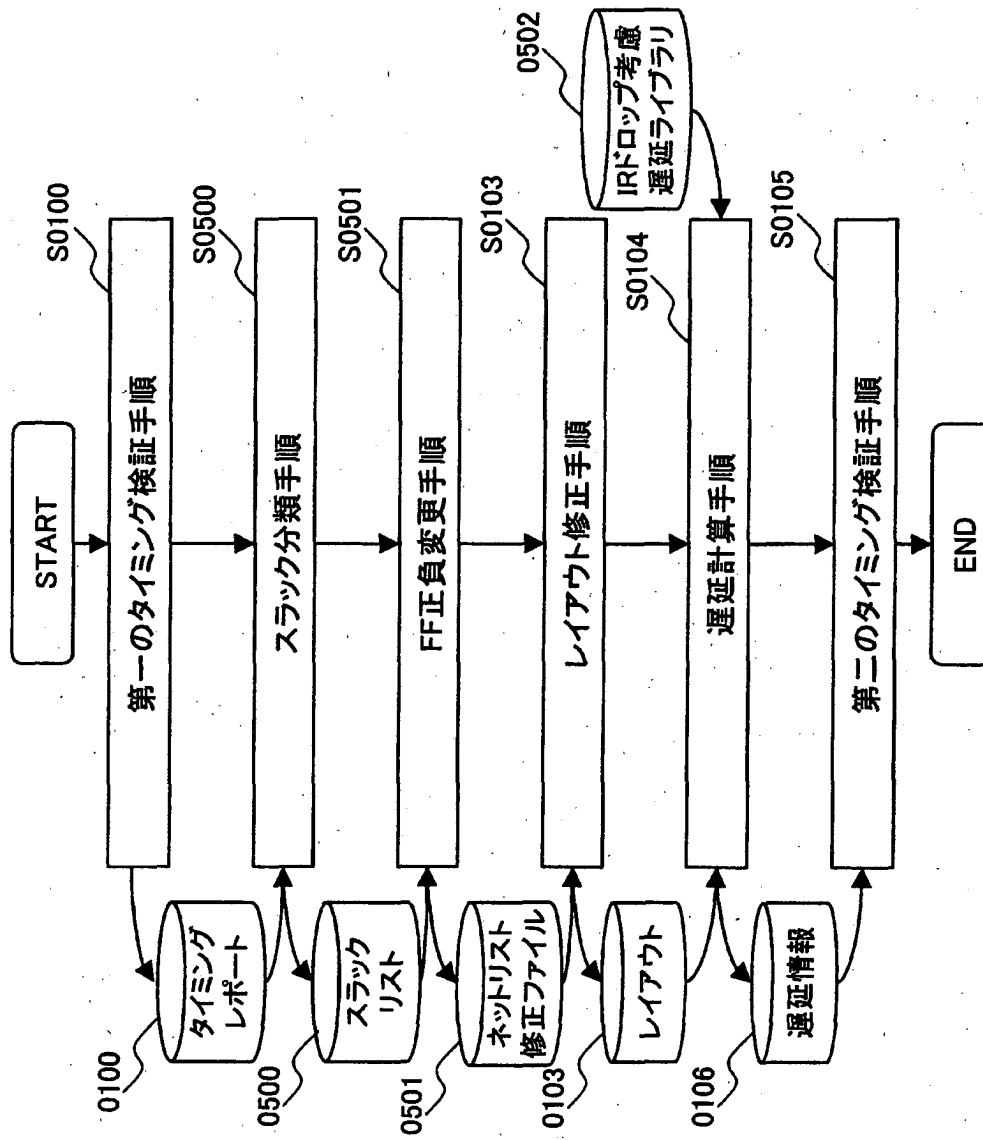
【図 4 A】



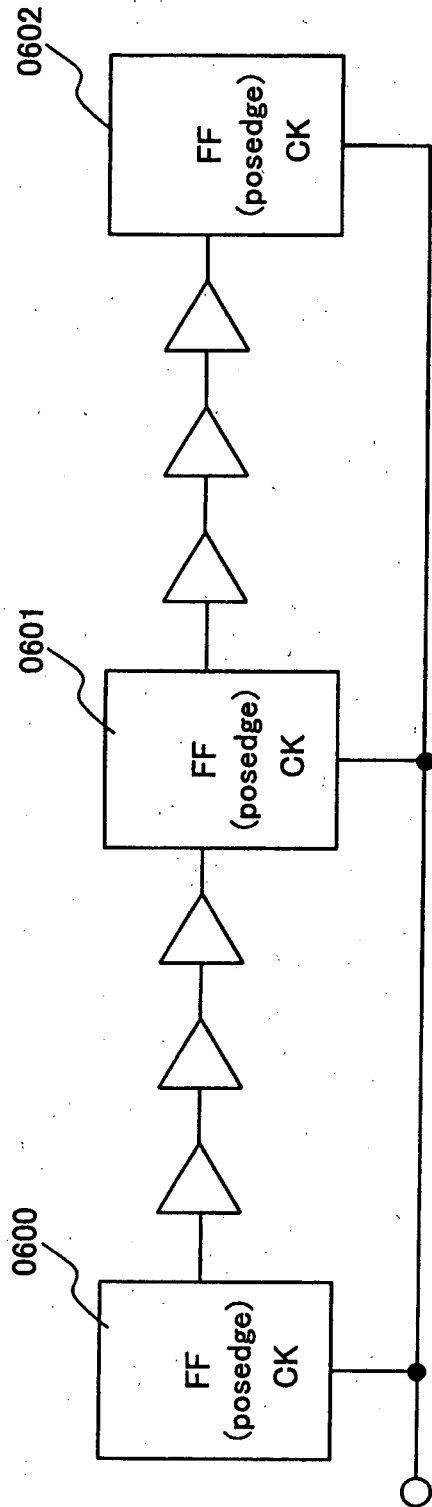
【図4B】



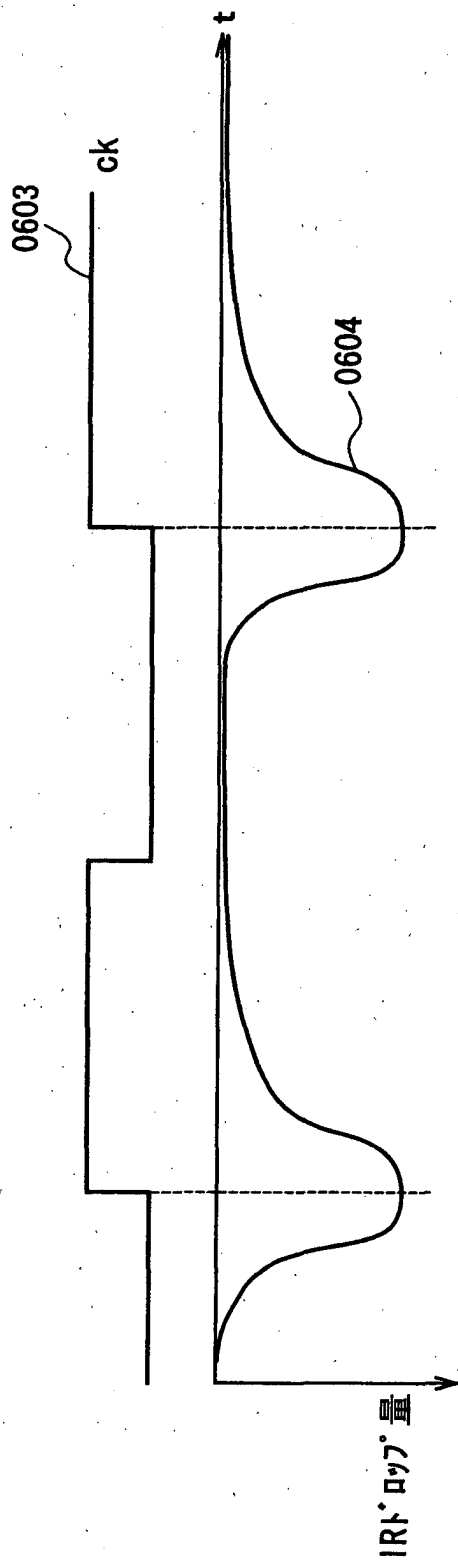
【図5】



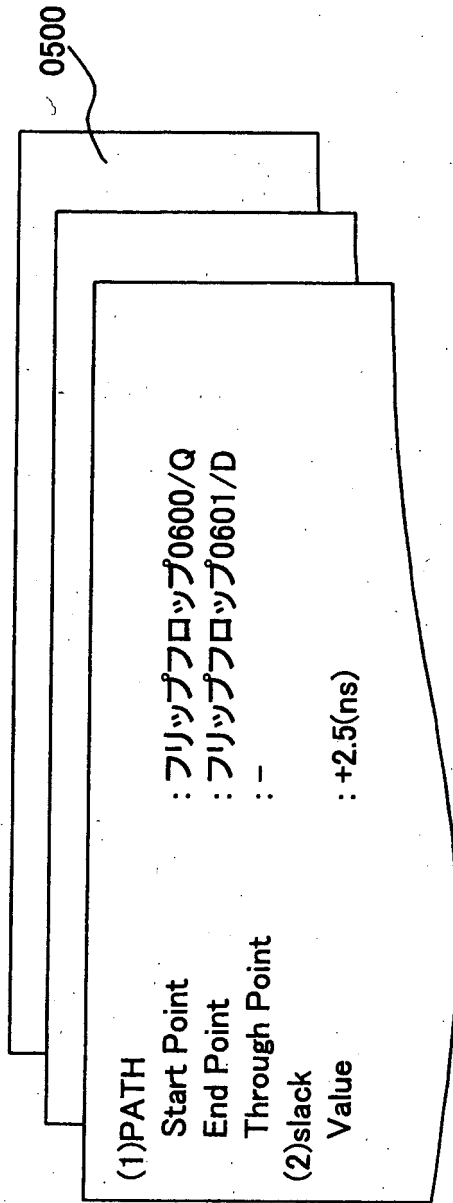
【図 6 A】



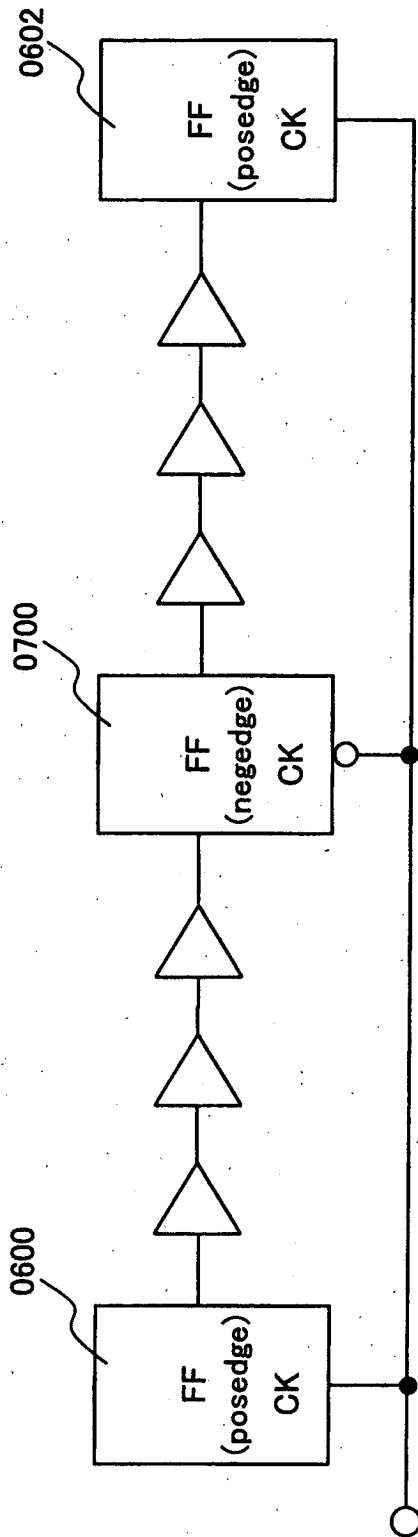
【図6B】



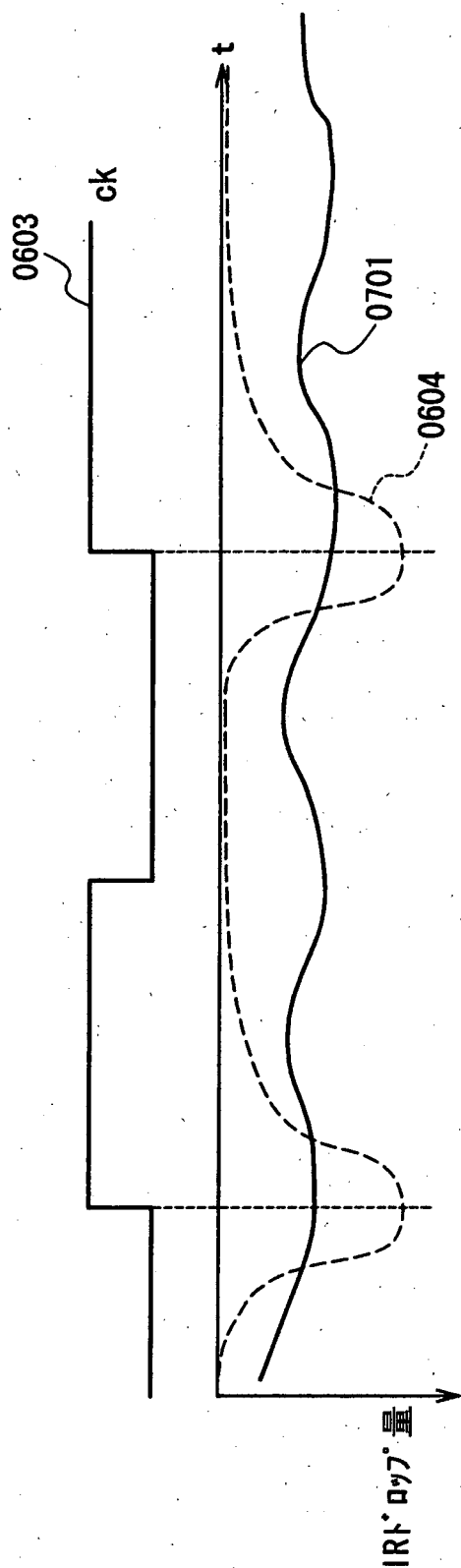
【図 6 C】



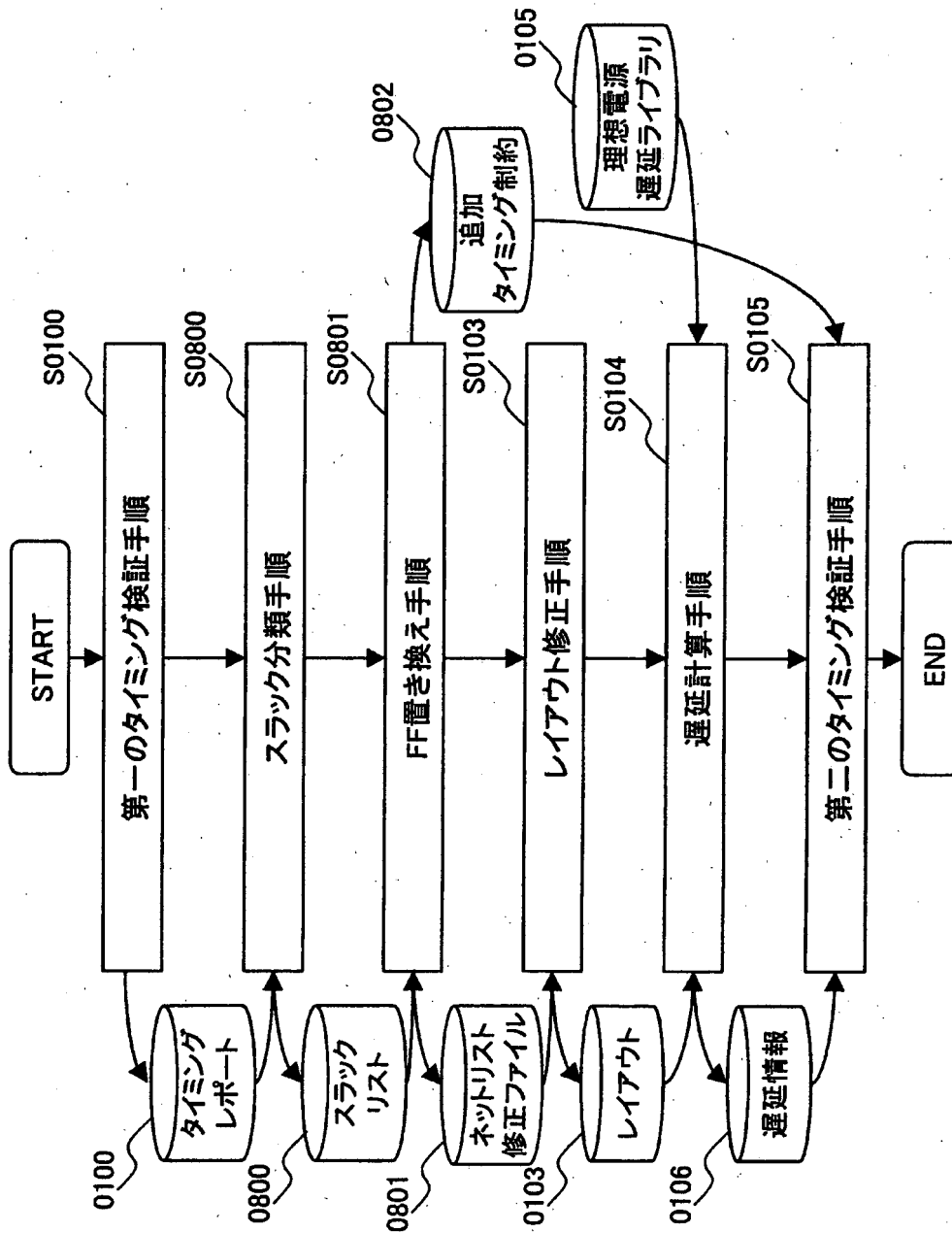
【図7A】



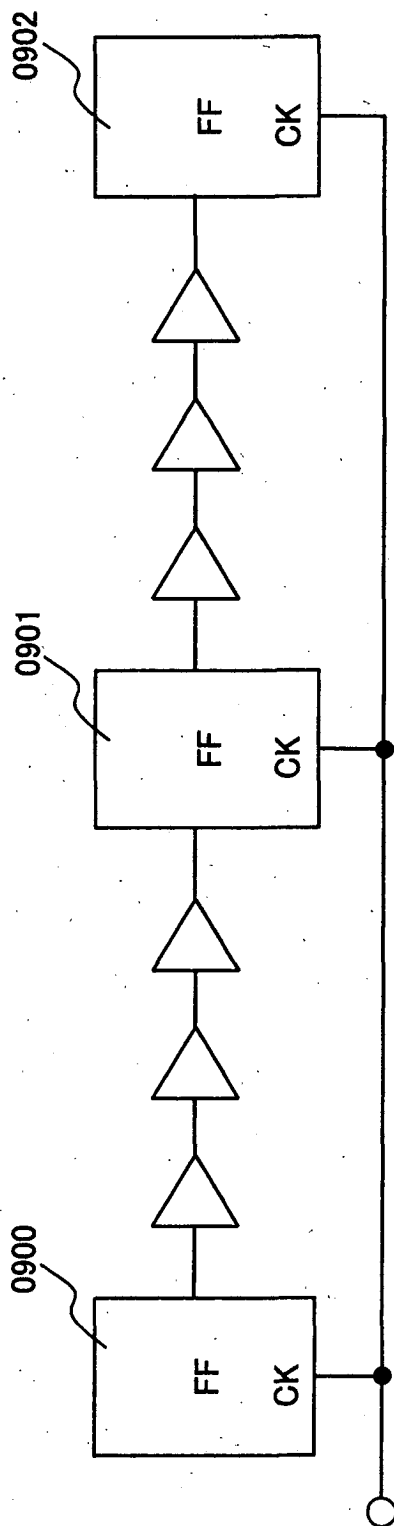
【図7B】



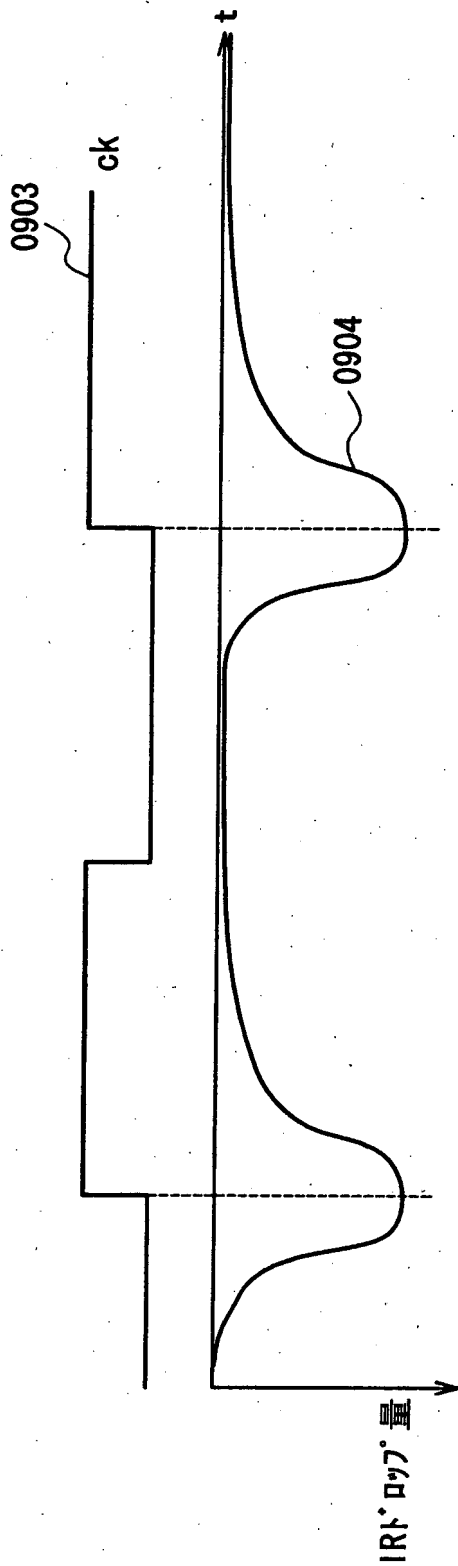
【図8】



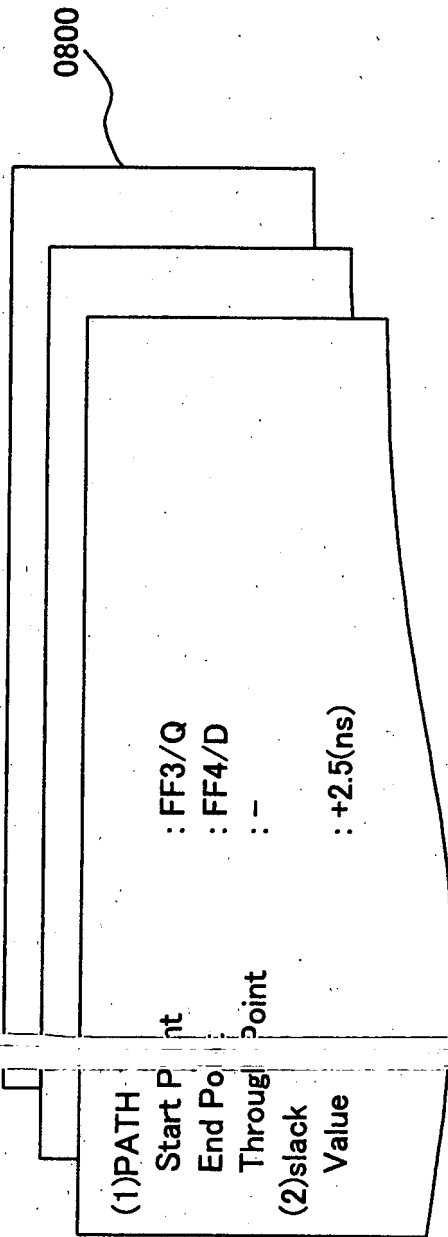
【図9A】



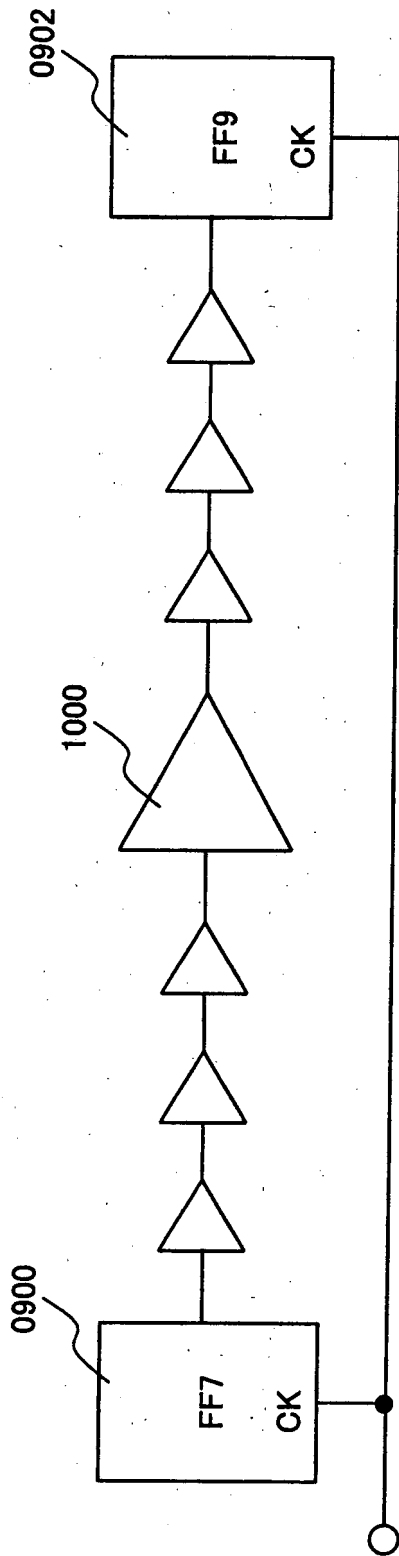
【図9B】



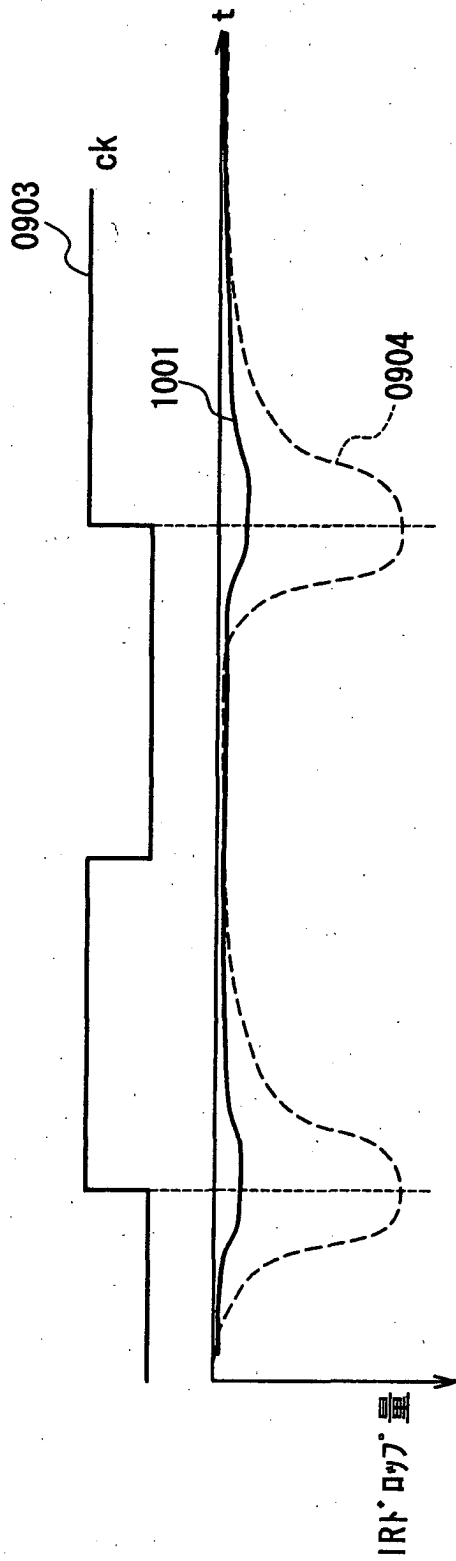
【図 9 C】



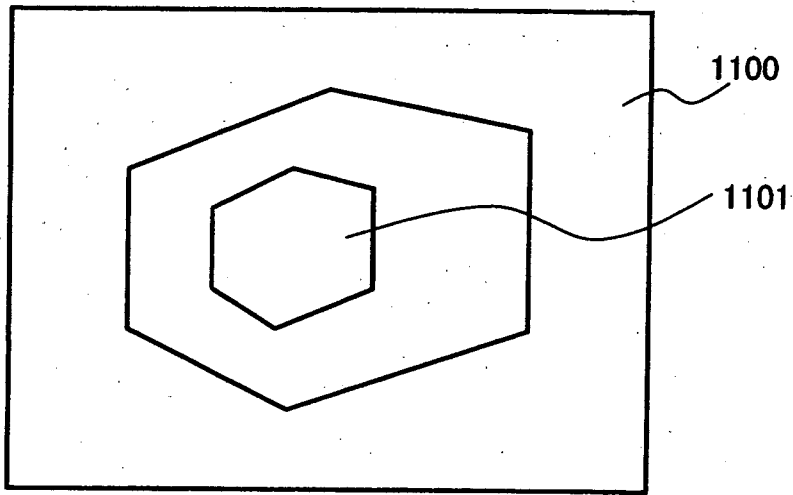
【図 1 0 A】



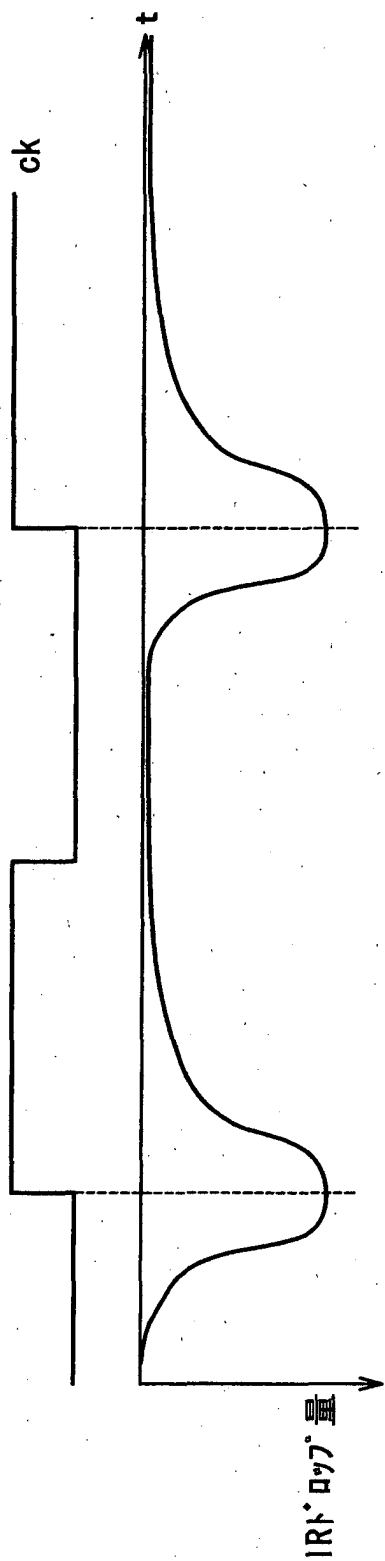
【図10B】



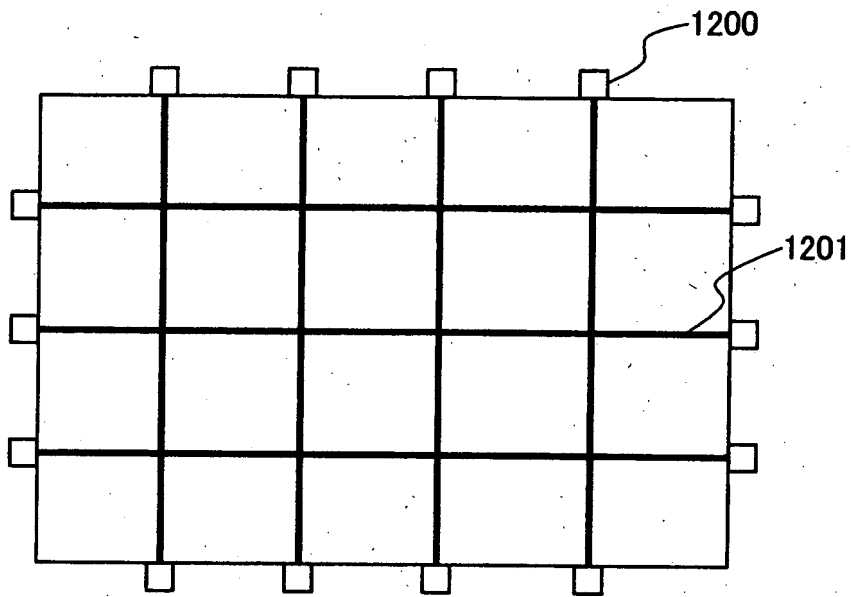
【図11A】



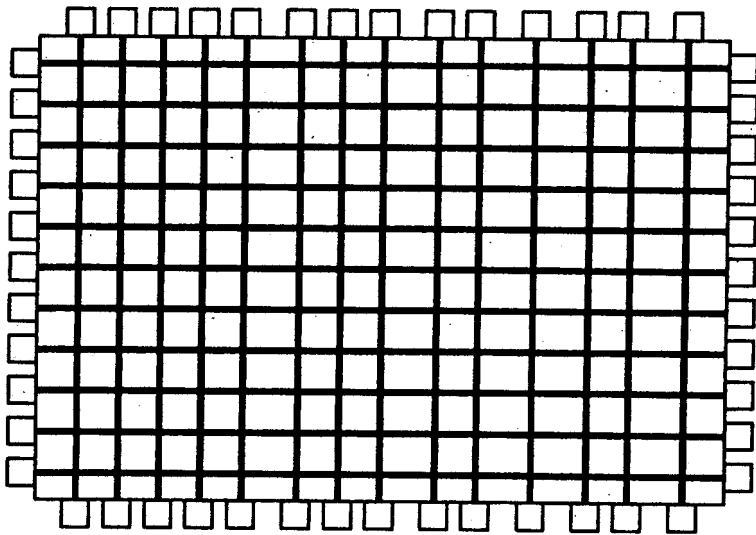
【図 11B】



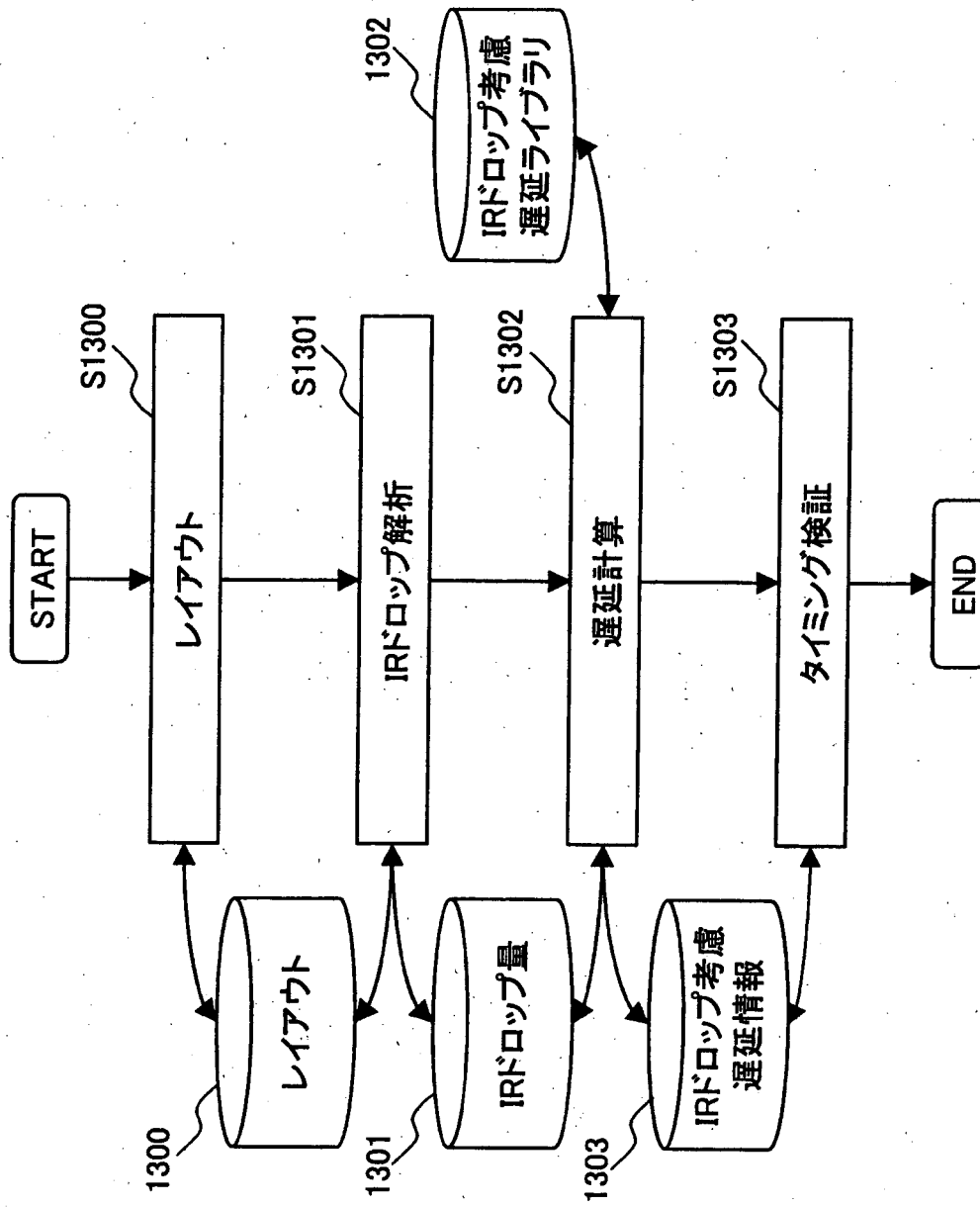
【図 12 A】



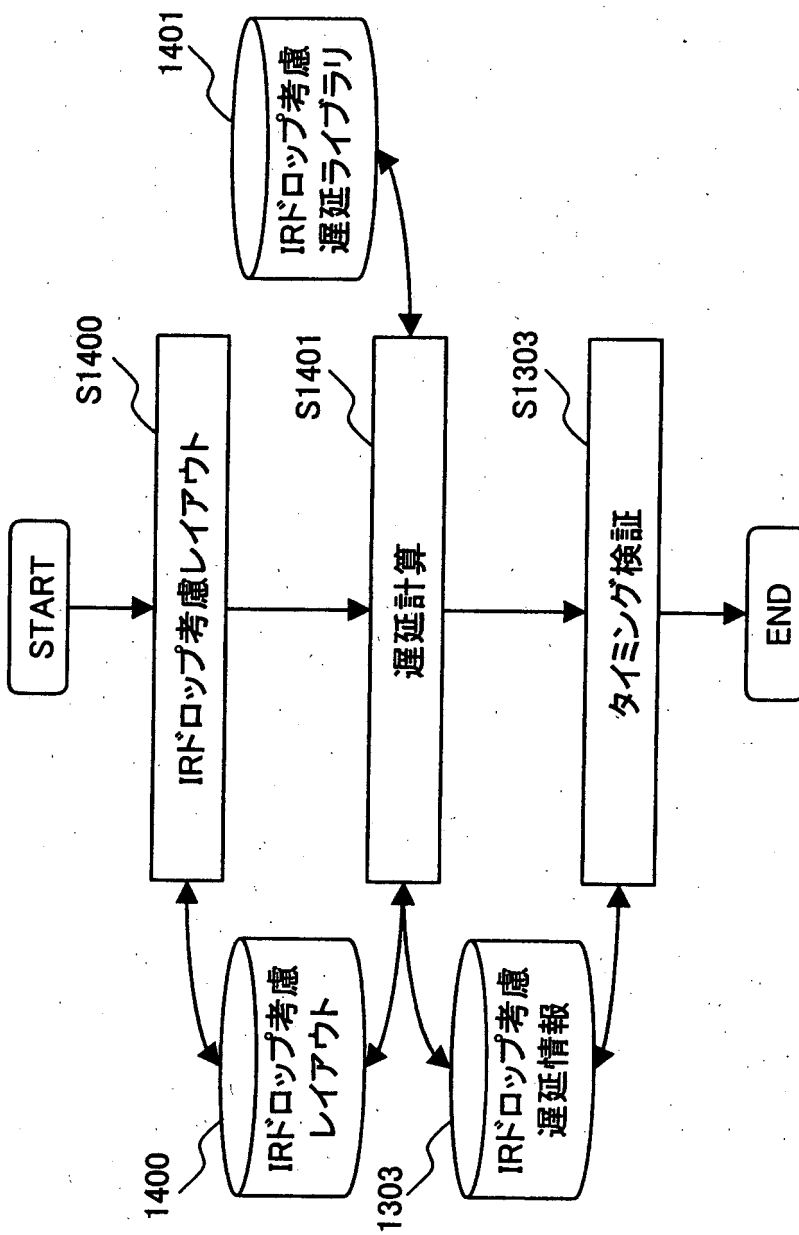
【図 12 B】



【図 13】



【図14】



【書類名】 要約書

【要約】

【課題】 素子配置に必要な有効面積や電源パッド以外に使用できるパッド数を減らすこと無く、また処理時間を増大させること無く、I Rドロップがタイミングに与える影響を低減し、実動作に近いタイミングシミュレーションを可能にした半導体集積回路の設計方法を提供する。

【解決手段】 F F駆動能力変更手順S 0 1 0 2において、任意のフリップフロップを、電源電圧がI Rドロップしている状態から理想電源の状態に移移する時間よりも大きい遅延時間を有するフリップフロップに置き換える。これにより、フリップフロップだけに限定して、I Rドロップ考慮遅延ライブラリ0.104を予め作成しておけばよくなり、ライブラリ作成時間が削減でき、また遅延計算手順S 0 1 0 5における遅延時間の計算精度も向上し、さらに駆動能力の低いフリップフロップに置き換えることで、面積を削減することができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社